

VOLTAGE COMPARATOR

Patent Number: JP5010988
Publication date: 1993-01-19
Inventor(s): ISHIKAWA HITOSHI
Applicant(s): MITSUBISHI ELECTRIC CORP
Requested Patent: ☐ JP5010988
Application Number: JP19910162545 19910703
Priority Number(s):
IPC Classification: G01R19/165
EC Classification:
Equivalents:

Abstract

PURPOSE: To obtain a voltage comparator with simple circuit constitution and capable of stable functioning even in a high speed operation.

CONSTITUTION: By providing a differential amplifier circuit 2A at the first step to accept input voltage with a transistor Q1 and a multicollector transistor Q2A and connecting the second collector of the transistor Q2A to the base of the transistor Q1, a comparator is constituted so that hysteresis take place at the moment of comparison between the standard voltage V_{ref} and an input voltage V_{in}. The circuit is constituted with a small number of elements and does not generate chattering and the like in the output even in a high speed operation and the function is stable.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-10988

(43)公開日 平成5年(1993)1月19日

(51)Int.Cl.⁵

G O I R 19/165

識別記号

庁内整理番号

B 9016-2C

FI

技術表示箇所

審査請求 未請求 請求項の数 1 (全 5 頁)

(21)出願番号 特願平3-162545

(22)出願日 平成3年(1991)7月3日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72)発明者 石川 仁

伊丹市瑞原4丁目1番地 三菱電機株式会

社内伊丹製作所内

(74)代理人 弁理士 曾我 道照 (外6名)

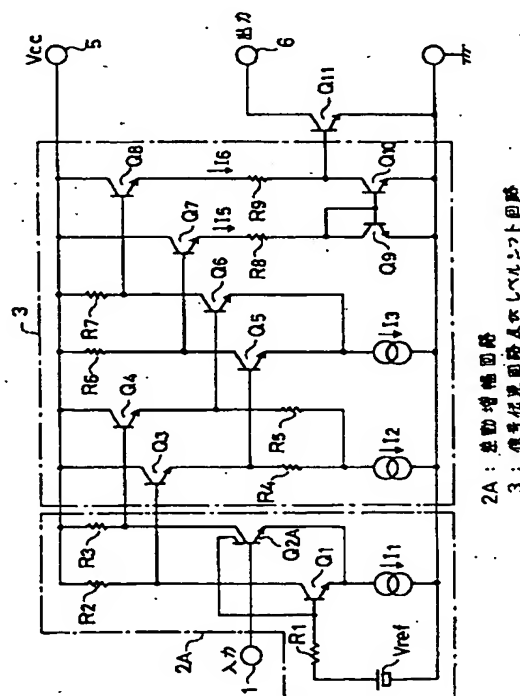
(54)【発明の名称】 電圧比較器

(57) 【要約】

【目的】 回路構成が簡単で、高速でも安定した動作が可能な電圧比較器を得る。

【構成】 入力電圧を受ける初段の差動増幅回路2Aにトランジスタ Q_1 とマルチコレクタのトランジスタ Q_{2A} を設け、トランジスタ Q_{2A} の第2のコレクタをトランジスタ Q_1 のベースに接続し、基準電圧 V_{ref} と入力電圧 V_{IS} の比較を行なった瞬間に、ヒステリシスがかかるように構成する。

【効果】 従来よりも少ない素子数で構成でき、高速で 10
動作させても出力にチャタリング等が発生せず、安定し
た動作となる。



1

【特許請求の範囲】

【請求項1】 ヒステリシス機能を有し、入力電圧と基準電圧を比較する差動増幅回路と、

この差動増幅回路の出力信号を伝達する信号伝達手段とを備えたことを特徴とする電圧比較器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、電圧比較器に関し、特に、入力段の差動増幅回路に、ヒステリシス機能を持たせた電圧比較器に関するものである。

【0002】

【従来の技術】 図2は従来のヒステリシス特性を持つ電圧比較器を示す回路図である。図において、1は入力電圧 V_{IN} が印加される入力端子、2は差動増幅回路、3は信号伝達回路及びレベルシフト回路、4はヒステリシス回路、5は電源電圧 V_{CC} が印加される電源端子、6は出力端子である。 Q_1 、 Q_2 は差動増幅回路2を構成するトランジスタである。トランジスタ Q_1 のベースは抵抗 R_1 を介して基準電源 V_{ref} に接続され、そのコレクタは抵抗 R_2 を介して電源端子5に接続され、そのエミッタは定電流源 I_1 を介して接地される。トランジスタ Q_2 のベースは入力端子1に接続され、そのコレクタは抵抗 R_3 を介して電源端子5に接続され、そのエミッタはトランジスタ Q_1 のエミッタに接続される。 $Q_3 \sim Q_6$ は信号伝達回路及びレベルシフト回路3の信号伝達部を構成するトランジスタ、 $Q_7 \sim Q_{10}$ は信号伝達回路及びレベルシフト回路3のレベルシフト部を構成するトランジスタである。トランジスタ Q_3 のベースはトランジスタ Q_1 のコレクタに接続され、トランジスタ Q_3 のコレクタは電源端子5に接続され、そのエミッタは抵抗 R_4 及び定電流源 I_2 を介して接地される。トランジスタ Q_4 のベースはトランジスタ Q_2 のコレクタに接続され、トランジスタ Q_4 のコレクタは電源端子5に接続され、そのエミッタは抵抗 R_5 を介して抵抗 R_4 と定電流源 I_2 の接続点に接続される。トランジスタ Q_5 のベースはトランジスタ Q_3 のエミッタに接続され、トランジスタ Q_5 のコレクタは抵抗 R_6 を介して電源端子5に接続され、そのエミッタは定電流源 I_3 を介して接地される。トランジスタ Q_6 のベースはトランジスタ Q_4 のエミッタに

$$V_{EQ4} = V_{CC} - I_1 \times R_3 - V_{BEQ4} \quad (1)$$

【0005】 トランジスタ Q_3 のエミッタ電圧 V_{EQ3} は、そのベース・エミッタ間電圧を V_{BEQ3} とすると、

$$V_{EQ3} = V_{CC} - V_{BEQ3}$$

【0007】 となるため、トランジスタ Q_5 のベース電圧 V_{BQ5} とトランジスタ Q_6 のベース電圧 V_{BQ6} を比較すると、 $V_{BQ5} > V_{BQ6}$ より、トランジスタ Q_5 がON、トランジスタ Q_6 がOFFとなる。この結果、抵抗 R_6 には $I_3 \times R_6$ なる電圧が発生し、同様に抵抗 R_7

$$V_{EQ7} = V_{CC} - I_3 \times R_6 - V_{BEQ7} \quad (3)$$

【0009】 となり、トランジスタ Q_8 のエミッタ電圧

2

接続され、トランジスタ Q_6 のコレクタは抵抗 R_7 を介して電源端子5に接続され、そのエミッタはトランジスタ Q_5 のエミッタに接続される。トランジスタ Q_7 のベースはトランジスタ Q_5 のコレクタに接続され、トランジスタ Q_7 のコレクタは電源端子5に接続され、そのエミッタは抵抗 R_8 を介してトランジスタ Q_9 のコレクタに接続される。トランジスタ Q_8 のベースはトランジスタ Q_6 のコレクタに接続され、トランジスタ Q_8 のコレクタは電源端子5に接続され、そのエミッタは抵抗 R_9 を介してトランジスタ Q_{10} のコレクタに接続される。トランジスタ Q_9 のコレクタは自己のベースに接続され、そのエミッタは接地される。トランジスタ Q_{10} のベースはトランジスタ Q_9 のベースと相互接続され、トランジスタ Q_{10} のエミッタは接地される。 Q_{11} は出力トランジスタであって、そのベースはトランジスタ Q_{10} のコレクタに接続され、そのコレクタは出力端子6に接続され、そのエミッタは接地される。 $Q_{12} \sim Q_{15}$ はヒステリシス回路4を構成するトランジスタである。トランジスタ Q_{12} のベースは抵抗 R_{10} を介してトランジスタ Q_8 のベースに接続され、トランジスタ Q_{12} のエミッタは電源端子5に接続され、そのコレクタは抵抗 R_{11} を介してトランジスタ Q_{13} のベースに接続される。トランジスタ Q_{13} のコレクタはトランジスタ Q_{14} のベースに接続され、トランジスタ Q_{13} のエミッタは接地される。トランジスタ Q_{14} のベースはトランジスタ Q_{15} のベースと相互接続され、トランジスタ Q_{14} のコレクタは自己のベースに接続されると共に定電流源 I_4 を介して電源端子5に接続され、そのエミッタは接地される。トランジスタ Q_{15} のエミッタは接地され、そのコレクタはトランジスタ Q_{11} のベースに接続される。

【0003】 次に動作について説明する。入力端子1に印加される入力電圧 V_{IN} と基準電圧 V_{ref} が $V_{IN} > V_{ref}$ の時、トランジスタ Q_2 がON、トランジスタ Q_1 がOFFとなり、抵抗 R_3 には $I_1 \times R_3$ なる電圧 V_{R3} が発生し、同様に抵抗 R_2 の電圧は $V_{R2} = 0$ となる。トランジスタ Q_4 のエミッタ電圧 V_{EQ4} は、そのベース・エミッタ間電圧を V_{BEQ4} とすると、

【0004】

【0006】

(2)

の電圧は $V_{R7} = 0$ となる。ここで、トランジスタ Q_7 のエミッタ電圧 V_{EQ7} は、そのベース・エミッタ間電圧を V_{BEQ7} とすると、

【0008】

V_{EQ8} は、そのベース・エミッタ間電圧を V_{BEQ8} とする

3 -

と、

$$V_{EQ8} = V_{CC} - V_{BEQ8}$$

【0011】となり、 $V_{EQ7} < V_{EQ8}$ より、抵抗 R_8 と R_9 に夫々かかる電圧 V_{R8} と V_{R9} を比較すると、 $V_{R8} < V_{R9}$ になるため、トランジスタ Q_7 と Q_8 の夫々エミッタを流れる電流 I_5 、 I_6 は $I_5 < I_6$ となる。トランジスタ Q_9 と Q_{10} はカレント・ミラー回路を構成するため、電流 I_6 の一部はトランジスタ Q_{11} のベースに流れ、トランジスタ Q_{11} が ON し、出力端子 6 の出力レベル

$$V_{BQ1} = V_{ref} - I_4 \times R_1$$

【0013】となっている。入力電圧 V_{IN} が低下して、 $V_{IN} < V_{BQ1}$ になると、トランジスタ Q_1 が ON、トランジスタ Q_2 が OFF と逆転するため、前述の動作がすべて逆転し、出力端子 6 の出力レベルは「H」になる。同様にトランジスタ Q_{12} が ON、トランジスタ Q_{13}

$$V_{BQ1}' = V_{ref}$$

【0015】となる。上記 (5) 式と (6) 式により、 $I_4 \times R_1$ なる差電圧が発生し、この電圧がヒステリシス電圧 V_{HYS} となる。

【0016】

【発明が解決しようとする課題】従来のヒステリシス特性を持つ電圧比較器は以上のように構成されているので、回路を構成する素子数が多く、かつ入力電圧と基準電圧がクロスしてからヒステリシス回路が動作するまでに、内部回路の遅延により、入力電圧に対して出力電圧の遅れが発生し、このため、高速動作時、出力電圧が変動する。いわゆるチャタリングが発生したり、或いは入力電圧と基準電圧がクロスした正確な時間がわからないなどの欠点があった。

【0017】この発明は上記のような問題点を解決するためになされたもので、少ない素子数で回路を構成できるとともに、高速動作でも安定した動作が可能な電圧比較器を得ることを目的とする。

【0018】

【課題を解決するための手段】この発明に係る電圧比較器は、ヒステリシス機能を有し、入力電圧と基準電圧を比較する差動増幅回路と、この差動増幅回路の出力信号を伝達する信号伝達手段とを備えたものである。

【0019】

【作用】この発明においては、入力段の差動増幅回路の一部でヒステリシスが発生するため、非常に高速に回答ができ、また、少ない素子数で回路を構成できる。

【0020】

【実施例】

実施例 1. 以下、この発明の一実施例を図について説明する。図 1 はこの発明の一実施例を示す回路図であり、図 2 と対応する部分には同一符号を付し、その説明を省略する。本実施例の回路が図 2 の回路と相違する点は、入力段にヒステリシス機能を有する差動増幅回路 2 A を設け、図 2 で用いられていたヒステリシス回路 4 を不要

4

【0010】

(4)

ルは「L」となる。更に、 $V_{R7} = 0$ より、トランジスタ Q_{12} は OFF、トランジスタ Q_{13} は OFF となり、トランジスタ Q_{14} と Q_{15} がカレント・ミラー回路を構成しているため、トランジスタ Q_{15} のコレクタ電流は $I_{CQ15} = I_4$ となり、トランジスタ Q_1 のベース電圧 V_{BQ1} (基準電圧 L) は、

【0012】

(5)

が ON となり、電流 I_4 が供給されないため、トランジスタ Q_{15} のコレクタ電流は $I_{CQ15} = 0$ となり、トランジスタ Q_1 のベース電圧 V_{BQ1}' (基準電圧 H) は、

【0014】

(6)

にしたことである。差動増幅回路 2 A はマルチコレクタのトランジスタ Q_2 を有し、その第 1 のコレクタは上述の如く接続し、第 2 のコレクタをトランジスタ Q_1 のベースに接続する。その他の構成は差動増幅回路 2 と同様である。

【0021】次に動作について説明する。入力端子 1 に印加される入力電圧 V_{IN} と基準電圧 V_{ref} が $V_{IN} > V_{ref}$ の時、トランジスタ Q_{2A} が ON、トランジスタ Q_1 が OFF となり、抵抗 R_3 には $I_1 \times R_3$ なる電圧 V_{R3} が発生し、同様に抵抗 R_2 の電圧は $V_{R2} = 0$ となる。トランジスタ Q_4 のエミッタ電圧 V_{EQ4} は、上記 (1) 式の如くなり、トランジスタ Q_3 のエミッタ電圧 V_{EQ3} は、上記 (1) 式の如くなる。

【0022】トランジスタ Q_5 のベース電圧 V_{BQ5} とトランジスタ Q_6 のベース電圧 V_{BQ6} を比較すると、 $V_{BQ5} > V_{BQ6}$ より、トランジスタ Q_5 が ON、トランジスタ Q_6 が OFF となる。

【0023】この結果、抵抗 R_6 には $I_3 \times R_6$ なる電圧が発生し、同様に抵抗 R_7 の電圧は $V_{R7} = 0$ となる。ここで、トランジスタ Q_7 のエミッタ電圧 V_{EQ7} と、トランジスタ Q_8 のエミッタ電圧 V_{EQ8} は、夫々上記 (3) 式、(4) 式の如くなる。

【0024】 $V_{EQ7} < V_{EQ8}$ より、抵抗 R_8 と R_9 に夫々かかる電圧 V_{R8} と V_{R9} を比較すると、 $V_{R8} < V_{R9}$ になるため、トランジスタ Q_7 と Q_8 の夫々エミッタを流れる電流 I_5 、 I_6 は $I_5 < I_6$ となる。トランジスタ Q_9 と Q_{10} はカレント・ミラー回路を構成するため、電流 I_6 の一部はトランジスタ Q_{11} のベースに流れ、トランジスタ Q_{11} が ON し、出力端子 6 の出力レベルは「L」となる。

【0025】更に、トランジスタ Q_{2A} が ON のため、トランジスタ Q_{2A} の第 2 のコレクタは、 I_1 の電流の一部を流し、トランジスタ Q_{2A} の 2 つのコレクタ比を 1 とすると、 $I_{1/2}$ なる電流により、抵抗 R_1 には $I_{1/2} \times R$

20

30

40

50

5

なる電圧が発生し、トランジスタ Q_1 のベース電圧（基準電圧 L ） V_{BQ1} は、

$$V_{BQ1} = V_{ref} - I_1 / 2 \times R_1 \quad (7)$$

【0027】となる。

【0028】入力電圧 V_{IN} が低下して、 $V_{IN} < V_{BQ1}$ になると、トランジスタ Q_1 がON、トランジスタ Q_{2A} がOFFと逆転するため、前述の動作がすべて逆転し、出力端子6の出力レベルは「H」となる。同様に、トランジスタ Q_{2A} がOFFにより、抵抗 R_1 に流れる電流が0になり、トランジスタ Q_1 のベース電圧（基準電圧 H ） V_{BQ1} は、上記（6）式の如くなる。

【0029】上記（7）式と（6）式により、トランジスタ Q_1 のベースに与えられる基準電圧の差は、 $I_1 / 2 \times R_1$ なり、この電圧がヒステリシス電圧 V_{HYS} となる。

【0030】実施例2. なお、上記実施例では、トランジスタとしてNPNトランジスタを用いたが、トランジスタをすべて逆導電型のものにした構成でも良い。

【0031】

6

【0026】

【発明の効果】以上のように、この発明によれば、ヒステリシス機能を有し、入力電圧と基準電圧を比較する差動増幅回路と、この差動増幅回路の出力信号を伝達する信号伝達手段とを備えたので、回路構成を簡単にできると共に、入力電圧が基準電圧とクロスし、初段のトランジスタが反転した瞬間にヒステリシスがかかるため、高速でも出力にチャタリング等が発生せず、安定した動作が得られるという効果を奏する。

【図面の簡単な説明】

【図1】この発明による電圧比較器の一実施例を示す回路図である。

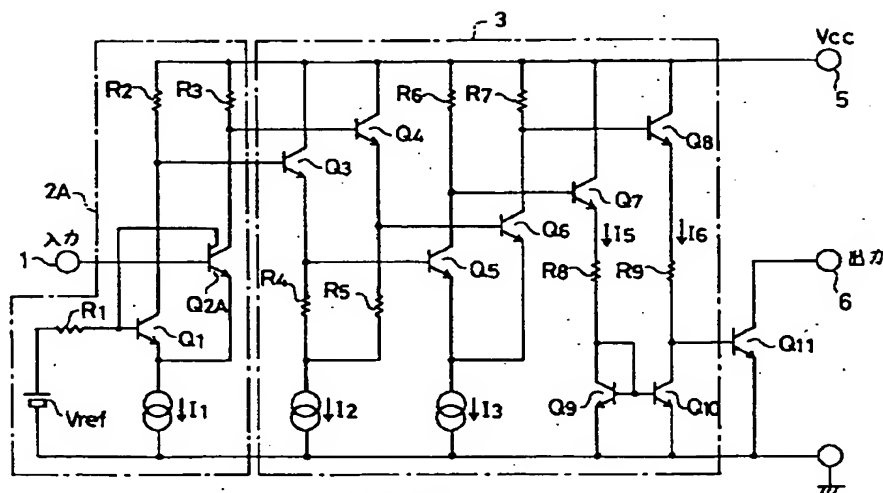
【図2】従来の電圧比較器を示す回路図である。

【符号の説明】

2A 差動増幅回路

3 信号伝達回路及びレベルシフト回路

【図1】



2A: 差動増幅回路

3: 信号伝達回路及びレベルシフト回路

【図 2】

